

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-177881

(43)Date of publication of application : 25.06.1992

(51)Int.Cl.

H01L 31/10
H01L 21/205
H01L 29/90
H01L 31/107
H01L 33/00

(21)Application number : 02-306656

(71)Applicant : FUJITSU LTD

FUJITSU YAMANASHI
ELECTRON:KK

(22)Date of filing :

13.11.1990

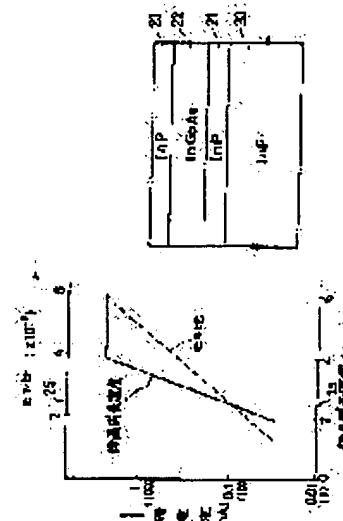
(72)Inventor : KANEDA KOICHI
NARITA SATOYASU
GOTO OSAMU
IMAGAWA SHINJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the crystallinity of an InGaAs and the conditions of the interface between the InGaAs layer and an InP layer by specifying the growth conditions of the InGaAs layer.

CONSTITUTION: An InP first semiconductor layer 21, an InGaAs second semiconductor layer 22 the lattice of which is commensurate with an InP single-crystal substrate 20, and an InP third semiconductor layer 23 are successively grown by crystal growth on the substrate 20. The second semiconductor layer 22 is grown at a crystal growth speed not higher than 2.5μ m/hr and a molar ratio not higher than 2.5×10^{-3} in the gas phase of the compound material of As. Thereby the crystallinity of the InGaAs layer 22 and the conditions of the interface between the InP layer 21 and the InGaAs layer 22 can be improved, the dark current of an APD and a PIN photodiode can be reduced by their multiplier action, and a high-



efficiency semiconductor laser device can be obtained.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

④日本国特許庁(JP)

①特許出願公開

②公開特許公報(A) 平4-177881

③Int.Cl.⁵
H 01 L 31/10

鑑別記号

庁内整理番号

④公開 平成4年(1992)6月25日

7630-4M H 01 L 31/10
7630-4M

審査請求 未請求 求求項の数 3 (全7頁)

A
B※

⑤発明の名称 半導体装置の製造方法

⑥特 願 平2-306656

⑦出 願 平2(1990)11月13日

⑧発明者 金田 幸一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑨発明者 成田 里安 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑩発明者 後藤 修 山梨県中巨摩郡昭和町紙漉阿原1000番地 株式会社富士通
山梨エレクトロニクス内

⑪出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑫出願人 株式会社富士通山梨エ
レクトロニクス 山梨県中巨摩郡昭和町紙漉阿原1000番地

⑬代理人 弁理士 伊東 忠彦 外2名

最終頁に続く

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) InP単結晶基板(20)上に、少なくともInPの第1の半導体層(21)、該基板

(20)と格子整合したInGaAsの第2の半導体層(22)、InPの第3の半導体層

(23)を有機金属気相成長法で連続して結晶成長してダブルヘテロ構造の半導体装置を製造する方法において、

上記第2の半導体層(22)を、結晶成長速度が $2.5 \mu\text{m}/\text{hr}$ 以下で、かつ、Asの化合物原料の気相中のモル比が 2.5×10^{-1} 以下で成長させると工程を含むことを特徴とする半導体装置の製造方法。

(2) 上記第2の半導体層(22)を、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料

の気相中のモル比との比を1.6以下にして成長させることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 上記第2の半導体層(22)は、Pを含む層であることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

【摘要】

化合物半導体、特にInP系のエピタキシャルウェハを有機金属気相成長(MOVPE)法で製造する方法に関する、

InGaAs(又はInGaAsP)層の結晶性、及び該層とInP層との界面状態を改善することにより、暗電流や微分効率等の電気的特性が良好な半導体装置を製造することを目的とし、

InP単結晶基板上に、結晶成長されたInPの第1の半導体層、該基板と格子整合したInGaAsの第2の半導体層、InPの第3の半導体

特開平4-177881 (2)

図のうち、第2の半導体層を成長するに際し、基板成長速度が $2.5 \mu\text{m}/\text{Hr}$ 以下で、かつ、Asの化合物原料の気相中のモル比が 2.5×10^{-1} 以下で成長させる工程を含む。又、第2の半導体層を、Asの化合物原料の気相中のモル比と、且該の化合物原料の気相中のモル比との比を1.6以下にして成長させる。

【産業上の利用分野】

本発明は、化合物半導体、特にInP系のエピタキシャルウェーハをMOVPE法で製造する方法に関する。

例えば光ファイバを用いた光通信には発光素子及び受光素子が使用されるが、これら発光素子及び受光素子には化合物半導体、特にInP系のエピタキシャルウェーハが用いられる。従来、エピタキシャルウェーハの製造には液相成長(LPE)法が用いられてきたが、最近では、膜厚の均一性や大面積化の必要からMOVPEが実用化されつつある。

を $50 \text{ torr} \sim 100 \text{ torr}$ とする。このような条件下において、InP基板上にInPバッファ層、基板と格子整合したInGaAs層、InGaAsPバッファ層、InP層を成長してダブルヘテロ構造のウェーハを製造する。

特に、InGaAs層の結晶成長速度(R_g)は $4 \mu\text{m}/\text{Hr} \sim 6 \mu\text{m}/\text{Hr}$ 、気相中のAs:H₂のモル比は $4 \times 10^{-3} \sim 8 \times 10^{-3}$ である。このような成長条件のもとで製造されたエピタキシャルウェーハを用いてアバランシェホトダイオードを構成した場合、ブレークダウン電圧の90%の電圧を印加したときの暗電流は百数十nAである。

一方、受光素子であるPINホトダイオードに用いられるエピタキシャルウェーハをMOVPE法で製造する場合、APDの場合と同じ原料を用い、成長速度、成長圧力もAPDの場合と同じにし、InP基板上にInPバッファ層、基板と格子整合したInGaAs層、InGaAsPバッファ層、InP層を成長してダブルヘテロ構造のウェーハを製造する。特に、InGaAs層の R_g はA

そこで、MOVPE法で製造されたウェーハを用いてもLPE法で製造されたウェーハを用いた場合と同等又はそれ以上の電子特性を得る必要があるが、実際にはMOVPE法で製造されたウェーハを受光素子に用いた場合は前述のように暗電流が大きく、弱い光を受けた時には十分な出力電流を得ることができない。一方、発光素子に用いた場合には十分な微分効率を得ることができない。このため、MOVPE法で暗電流の小さいエピタキシャルウェーハ、又、十分な微分効率のエピタキシャルウェーハを製造する必要がある。

【従来の技術】

例えば受光素子であるアバランシェホトダイオード(APD)に用いられるエピタキシャルウェーハをMOVPE法で製造する場合、トリメチルインジウム(TM₃)、トリエチルガリウム(TEG)、アルシン(AsH₃)、ホスフィン(Ph₃)を共々In、Ga、As、Pの原料として用い、成長温度を $500^{\circ}\text{C} \sim 650^{\circ}\text{C}$ 、成長圧力

PDの場合と同じ $4 \mu\text{m}/\text{Hr} \sim 6 \mu\text{m}/\text{Hr}$ 、気相中のAs:H₂のモル比は $4 \times 10^{-3} \sim 5 \times 10^{-3}$ である。このような成長条件のもとで製造されたエピタキシャルウェーハを用いてPINホトダイオードを構成した場合、5V逆方向電圧を印加したときの暗電流は2nAである。

【発明が解決しようとする課題】

従来装置は、InGaAs層の成長速度及び成長圧力を前述のような条件に設定しているので、APDの暗電流が百数十nA(10nA以下であることが望ましい)、PINホトダイオードの暗電流が2nA(0.1nA以下であることが望ましい)というようにLPE法でエピタキシャルウェーハを製造した場合よりも大きくなり大きく、特に弱い光を受けた時などでは十分な出力電流を得ることができず、実用化が困難である問題点があった。又、半導体レーザに用いられるエピタキシャルウェーハに關しても、前述と同様の成長条件を用いて製造しているので、十分な微分効率を得ること

特開平4-177881 (3)

とができない問題点があつた。

このような問題点を生じるのは、後で詳述する如く、理由は明確でないが、前述の成長条件を用いて成長を行なうと、InGaAs（又はInGaAsP）層の結晶性、及び該層とInP層との界面状態が悪化するためと考えられる。

本発明は、InGaAs（又はInGaAsP）層の結晶性、及び該層とInP層との界面状態を改善することにより、暗電流や遮断効率等の電気的特性が良好な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

第1図は本発明の原理図を示す。同図(A)は結晶成長速度及びAsの化合物原料の気相中のモル比と、暗電流との関係を示す特性図、同図(B)は本発明方法によって製造された半導体装置の構成図である。上記問題点は、同図(A)に示す如く、InP単結晶基板20上に、少なくともInPの第1の半導体層21、該基板20と格

子整合したInGaAsの半導体層22、InPの第3の半導体層23を有機金属気相成長法で連続して結晶成長してダブルヘテロ構造の半導体装置を製造する方法において、第2の半導体層22を、同図(B)に示す如く、結晶成長速度が $2.5 \mu\text{m}/\text{hr}$ 以下で、かつ、Asの化合物原料の気相中のモル比が 2.5×10^{-3} 以下で成長させる工程を含むことを特徴とする半導体装置の製造方法によって解決される。又、この場合、第2の半導体層22を、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料の気相中のモル比との比を1.6以下にして成長させる。

【作用】

モル比を前述のように設定すると、成長がInGaAsの第2の半導体層22からInPの第3の半導体層23に切換る時にその界面にInAs_{1-x}P_xのような中間層（残留又は反応物などに付着したAsの量に依存して厚く、格子不正も大きくなると思われる）が形成されないと考え

られ、又、結晶成長速度を前述のように設定すると結晶性が向上するものと考えられる。また、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料の気相中のモル比との比を前述のように設定したので、Ⅲ族の化合物原料の空格子等の欠陥を少なくできる。本発明によると第2の半導体層22の結晶性、及び第2の半導体層22と第3の半導体層23との界面状態を改善できるので、これらの相乗作用からAPDの場合では暗電流を 10nA 以下、PINホトダイオードの場合では暗電流を 0.1nA 以下にすることができる。又、半導体レーザの場合では遮断効率を従来例に比して25%程度改善できる。

【実施例】

第2図は本発明方法によって製造されたPINホトダイオードの構成図を示す。第2図中、1はカーボンP基板、2はn-InPバッファ層、3はn-InGaAs層、4はカーボンPキャップ層、5は塗化銀塗膜、6はZn拡散によるP+

-InP層、7はP電極、8はn電極であり、PINホトダイオードを構成する。なお、構造上は従来のものと同じである。ここで、P電極7に負電圧、n電極8に正電圧を印加し、成長条件に対する暗電流を測定した結果を第3図及び第4図に示す。

第3図はInGaAs層5の成長速度(R_g)と暗電流(I_d)との関係を気相中のAsH₃のモル比(X_{AsH_3})をパラメータとしてプロットしたもの、第4図はAsH₃のモル比(X_{AsH_3})と暗電流(I_d)との関係をInGaAs層3の成長速度(R_g)をパラメータとしてプロットしたものである。PINホトダイオードではその性能上、暗電流は 0.1nA 以下であることが望ましいとされるが、このような望ましい値を得るには、第3図、第4図より明らかに如く、InGaAs層3の R_g が $2.5 \mu\text{m}/\text{hr}$ 以下で、かつ、AsH₃のモル比(X_{AsH_3})が 2.5×10^{-3} 以下であることが必要であることがわかる。

そこで、本発明では、MOVPE法でエピタキ

特開平4-177881 (4)

シャルウェハを製造する際の成長条件として、InGaAs層3のRgを2.5 μm/Hr以下、Asの化合物原料の気相中のモル比を 2.5×10^{-1} 以下とする。なお、成長圧力は7.6 torr、成長温度は630 °Cとする。この場合、界面は明確でないが、AsH₃のモル比(X_{AsH₃})が必要以上に大きいと気相中に残留するAs化合物(AsH₃)や、リアクタ(反応管)及びサセプタ等に付着したAsが再離脱し、成長がInGaAs層3からInP層4に切換る時に中间層(InAs_xP_{1-x})がAsの量に依存して厚く形成され、この中间層によって格子不正が大きくなるからと思われる。このため、本発明は、AsH₃のモル比を必要以上に大きくとらず、 2.5×10^{-1} 以下に設定してInGaAs層3とInPキャップ層4との界面に中间層を形成しないようにして、界面状態を改善する。一方、Rgが必要以上に大きいとInGaAs層3の結晶性が悪化するので、本発明はRgを2.5 μm/Hr以下にする。このとき、気相中のAsH₃のモル比(X_{AsH₃})とⅤ族の化

合物原料(IndiumとGa)のモル比(X_{II})との比(X_{AsH₃}/X_{II})が大きいとⅤ族の化合物原料の空格子等の欠陥が多く生成されると思われる所以、この欠陥を少なくするためにには、成長表面からといわゆるAs抜けによる欠陥を生じない範囲でX_{AsH₃}/X_{II}を1/4と小さくする。

このように、本発明ではInGaAs層3のRgを2.5 μm/Hr以下で、かつ、Asの化合物原料の気相中のモル比を 2.5×10^{-1} 以下にすることにより、InGaAs層3の結晶性、及びInGaAs層3とInP層4との界面状態を改善できるので、これらの相乗作用により、暗電流を0.1 nA以下にでき、弱い光を受けた時にでも十分な出力電流を取出すことができる。

以上の実施例はPINホトダイオードの場合であるが、アパランシェホトダイオード(APD)の場合もPINホトダイオードの場合に類似した考え方でよい。第5図は本発明方法によって製造されたAPDの構成図を示し、同図中、第2図と同一構成部分には同一番号を付してその説明を省略

する。第5図中、4aはバイルアップ防止のためのInGaAsPバッファ層、4bはn+ - InP層、4cはn - InP増倍層、6aはガードリング、8は無反射コートであり、APDを構成する。なお、構造上は従来のものと同じである。

このAPDのエピタキシャルウェハの製造に際し、成長圧力を7.6 torr、成長温度を630 °Cとし、AsH₃を使用し、不純物はSiをドーピングし、InGaAs層3のRgを2 μm/Hr、X_{AsH₃}を 1.25×10^{-1} 、X_{AsH₃}/X_{II}を1/4としてエピタキシャルウェハの成長を行なう。この結果、このエピタキシャルウェハを用いて作成したAPDの暗電流(1d)は10 nAと、前述の従来例(百数十nA)に比して大幅に小さくでき、弱い光を受けた時にでも十分な出力電流を取出すことができる。APDの場合も、従来の成長条件で成長を行なうと、InGaAs層3とInGaAsPバッファ層4aとの間にIn_yGa_{1-y}As_xP_{1-x}(As_xが多量に含まれる)なる中間層が形成されるが、本発明の成長条件にすればこの

中間層が形成されないと考えられ、又、InGaAs層3の結晶性を改善できると考えられる。この場合、Rg及びX_{AsH₃}を夫々前記の1/2にすると、暗電流を更に小さくすることができる。

更に他の実施例として、第8図に示す半導体レーザがあるが、この場合のエピタキシャルウェハの製造についても前述の実施例と同様の考え方でよい。第8図中、10はp - InP基板、11はp - InPバッファ層、12はInGaAsP活性層、13はn - InPクラッド層であり、構造上は従来のものと同じである。その製造に際し、InGaAsP活性層12(波長は1.3 μm)の成長を成長温度630 °C、成長圧力7.6 torr、Rg = 1.5 μm/Hr、X_{AsH₃} = 5.8×10^{-1} 、X_{AsH₃}/X_{II} = 8.3の諸条件で行ない、成長後のウェハをストライプ状にメサエッチ後、従来と同様にPECVDで埋込み、その後炭素化する。このようにして製造された半導体レーザの微分効率は従来例に比して25%程度改善され、0.2 mW/mA程度のものが得られた。このように前述の各実施例と同

特開平4-177881 (5)

導の考え方に基づく成長条件で成長した場合、InGaAsP層12とInP層13との界面状態が前述の実施例のように改善され、この界面でのパワーロスが少なくなるためと考えられる。

なお、Asの化合物としてターシャルブチルアルシン(TBA)を用いると分解率が高くなるので、AsH₃の代りにこのTBAを用いてもよい。TBAを用いると、更に気相中のモル比X_{As}を下げることができ、更に暗電流を下げることができる。

〔発明の効果〕

以上説明した如く、本発明によれば、InGaAs層を、R_gが2.5 μm/時以下で、かつ、Asの化合物原料の気相中のモル比が2.5×10⁻³以下で成長させているため、InGaAsの結晶性、及びこれら2層の界面状態を改善でき、これらの相乗作用によりAPDやPINホトダイオードでは従来例よりも暗電流を小さくでき、又、半導体レーザでは従来例よりも効率の高いものを示す。

得ることができる。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明によって製造されたPINホトダイオードの構成図、

第3図はPINホトダイオードのR_g対暗電流特性図、

第4図はPINホトダイオードのX_{As}対暗電流特性図、

第5図は本発明によって製造されたAPDの構成図、

第6図は本発明によって製造された半導体レーザの構成図である。

図において、

1, 10はInP基板、

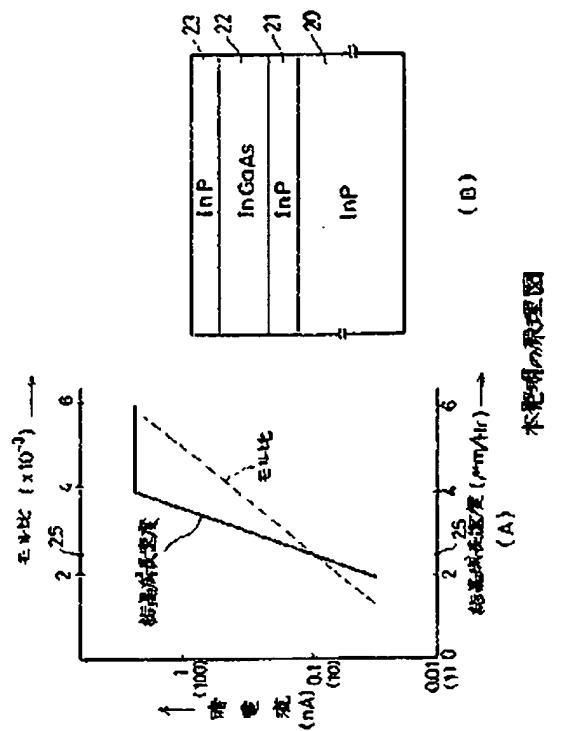
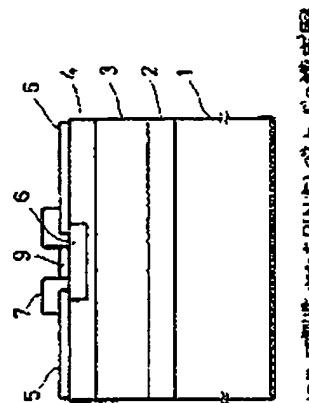
2, 11はInPバッファ層、

3はInGaAs層、

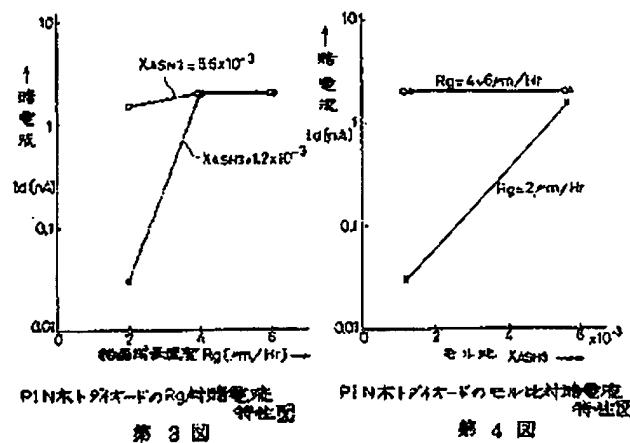
4はInPキャップ層、

4aはInGaAsPバッファ層、
 4b, 4c, 6, 11, 13はInP層、
 5は窒化珪素膜、
 7はp電極、
 8はn電極、
 9は鏡反射コート、
 12はInGaAsP活性層、
 20はInP単結晶基板、
 21はInPの第1の半導体層、
 22はInGaAsの第2の半導体層、
 23はInPの第3の半導体層
 を示す。

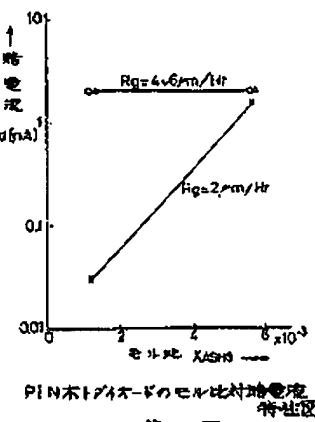
特開平4-177881 (6)

第1図
本発明の原理図

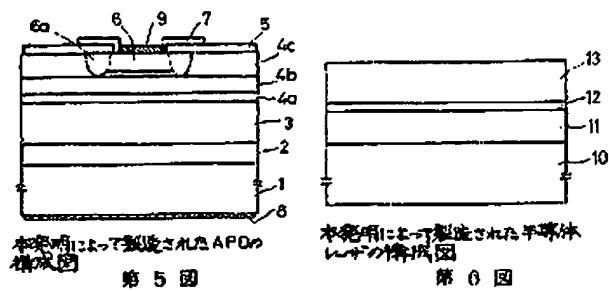
第2図



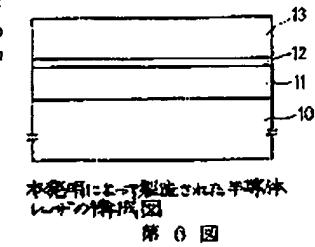
第3図



第4図



第5図



第6図

特開平4-177881 (ア)

第1頁の続き

⑤Int. Cl. 5
H 01 L 21/205
29/90
31/107
33/00

識別記号

7739-4M
7638-4M

A

8934-4M

⑥発明者 今川 伸次

山梨県中巨摩郡昭和町紙漉阿原1000番地 株式会社富士通
山梨エレクトロニクス内